

PAT-NO: JP411202970A

DOCUMENT-IDENTIFIER: JP 11202970 A

TITLE: CLOCK SKEW PREVENTING CIRCUIT

PUBN-DATE: July 30, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
OOSERA, SHINICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA MICROELECTRONICS CORP	N/A
TOSHIBA CORP	N/A

APPL-NO: JP10007780

APPL-DATE: January 19, 1998

INT-CL (IPC): G06F001/10, H03K019/0175

ABSTRACT:

PROBLEM TO BE SOLVED: To output a clock signal having no clock skew by inputting clock signals having clock skews and to prevent the waveform of the outputted clock signal from being weakened.

SOLUTION: This circuit is equipped with plural input lines 11a, 11b, and 11c for inputting plural clock signals and also equipped with a logic circuit 14 which inputs the plural clock signals and outputs a clock signal synchronized with the slowest clock signal among them. Then this circuit is equipped with output lines 17a, 17b, and 17c which input the clock signal outputted from this logic circuit 14 to a buffer and output plural clock signals.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-202970

(43) 公開日 平成11年(1999) 7 月30日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 A

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 N

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平10-7780

(22) 出願日 平成10年(1998) 1 月19日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地 1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 大瀬良 真一

神奈川県川崎市川崎区駅前本町25番地 1
東芝マイクロエレクトロニクス株式会社内

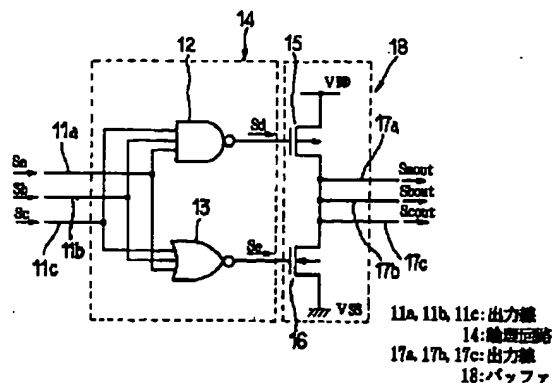
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 クロックスキュー防止回路

(57) 【要約】

【課題】 クロックスキューが生じた複数のクロック信号を入力してクロックスキューがゼロのクロック信号を出力させ、かつ、出力されるクロック信号に波形のなまりが発生することを防止する。

【解決手段】 本発明のクロックスキュー防止回路は、複数のクロック信号を入力する複数の入力線 11 a、11 b、11 c を備えると共に、複数のクロック信号を入力してそのうちの最も遅いクロック信号に同期したクロック信号を出力する論理回路 14 を備え、この論理回路 14 から出力されたクロック信号をバッファに入力して複数のクロック信号を出力する出力線 17 a、17 b、17 c を備えて構成されている。



【特許請求の範囲】

【請求項1】 複数のクロック信号を入力する複数の入力線と、

前記複数のクロック信号を入力し、そのうちの最も遅いクロック信号に同期したクロック信号を出力する論理回路と、

この論理回路から出力されたクロック信号をバッファに入力して複数のクロック信号を出力する出力線とを備えて成るクロックスキュー防止回路。

【請求項2】 前記論理回路の出力側にバッファを設けたことを特徴とする請求項1記載のクロックスキュー防止回路。

【請求項3】 前記バッファから出力される信号のレベルを自己保持する帰還回路を設けたことを特徴とする請求項2記載のクロックスキュー防止回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロックスキューが発生した複数のクロック信号を入力して、同一周期の複数のクロック信号を出力するクロックスキュー防止回路に関する。

【0002】

【従来の技術】例えばLSI等の集積回路においては、1つのクロックラインを複数のクロックラインに分割し、各クロックラインに設けるクロックバッファをできるだけ小さくするようにした構成が採用されている。この構成の場合、各クロックラインに接続した負荷の大きさや各クロックラインの配線の長さの相違などによって、各クロックラインに流れるクロック信号の周期が少しずつずれる現象、即ち、いわゆるクロックスキューが発生することがある。

【0003】このようなクロックスキューをなくして、同一周期の複数のクロック信号を出力させるクロック出力回路として、従来より、図6に示すような構成がある。この構成では、例えば3つのクロック信号Sa、Sb、Scを入力する3つの入力線1a、1b、1cにバッファ2a、2b、2cを接続すると共に、これらバッファ2a、2b、2cに出力線3a、3b、3cを接続している。そして、上記3つの出力線3a、3b、3c間を短絡線4により短絡する、即ち、3つのバッファ2a、2b、2cの出力をショートするように構成されている。

【0004】

【発明が解決しようとする課題】上記従来構成において、例えば図7に示すようなクロックスキューが生じた3つのクロック信号Sa、Sb、Scが入力線1a、1b、1cに入力されたとする。この場合、クロック信号Saの立上がりは早い、クロック信号Sb、Scの立上がりは遅い。このため、バッファ2aから出力される信号がハイレベルであっても、バッファ2b、2cから

出力される信号はロウレベルとなる。この結果、短絡線4により短絡された3つの出力線3a、3b、3cから出力されるクロック信号Saout、Sbout、Scoutは、図7に示すように、波形がなまってしまうという問題点がある。そして、クロック信号Saout、Sbout、Scoutの波形がなまると、種々の不具合が発生する。

【0005】具体的には、バッファ2a、2b、2cが例えばCMOS集積回路で構成されている場合、貫通電流が流れてしまう。また、出力線3a、3b、3cに接続される次段の回路が例えばCMOS集積回路で構成されている場合には、この回路にも貫通電流が流れると共に、回路の動作が遅くなるという欠点があった。更に、上述した構成では、クロックスキューが生じた3つのクロック信号Sa、Sb、Scを入力する場合について説明したが、入力するクロック信号の数が更に増えると、出力されるクロック信号の波形のなまりがより一層ひどくなるという傾向があった。

【0006】そこで、本発明の目的は、クロックスキューが生じた複数のクロック信号を入力して同一周期のクロック信号を出力させる構成において、出力されるクロック信号に波形のなまりが発生することを防止できるクロックスキュー防止回路を提供するにある。

【0007】

【課題を解決するための手段】本発明のクロックスキュー防止回路（図1参照）は、複数のクロック信号を入力する複数の入力線と、前記複数のクロック信号を入力し、そのうちの最も遅いクロック信号に同期したクロック信号を出力する論理回路と、この論理回路から出力されたクロック信号をバッファに入力して複数のクロック信号を出力する出力線とを備えて成るところに特徴を有する。

【0008】上記構成においては、論理回路により、入力された複数のクロック信号のうちの最も遅いクロック信号に同期したクロック信号が出力される。そして、このクロック信号がバッファの入力となり出力線から複数のクロック信号として出力される。この構成の場合、クロックスキューが生じた複数のクロック信号を入力して、クロックスキューがゼロのクロック信号を出力させることができ、しかも、この処理を論理回路により実行するから、出力されるクロック信号に波形のなまりが発生することがなくなる。

【0009】また、上記バッファから出力される信号のレベルを自己保持する帰還回路を設けることがより一層好ましい構成（図3参照）である。

【0010】

【発明の実施の形態】以下、本発明の第1の実施例について図1及び図2を参照しながら説明する。図1は本実施例のクロックスキュー防止回路の電気回路図である。この図1において、複数である例えば3つのクロック信

号Sa、Sb、Scを入力する3つの入力線11a、11b、11cは、3入力のNAND回路12の入力端子に接続されていると共に、3入力のNOR回路13の入力端子に接続されている。この場合、上記NAND回路12と上記NOR回路13とから論理回路14が構成されている。

【0011】また、NAND回路12の出力端子は、PチャネルMOSTランジスタ15のゲートに接続されている。NOR回路13の出力端子は、NチャネルMOSTランジスタ16のゲートに接続されている。PチャネルMOSTランジスタ15のソースは直流電圧端子V_{DD}に接続され、NチャネルMOSTランジスタ16のソースはグラウンドV_{SS}に接続されている。そして、PチャネルMOSTランジスタ15のドレインと、NチャネルMOSTランジスタ16のドレインとが接続され、更に、この接続点に3つの出力線17a、17b、17cが接続されている。この場合、PチャネルMOSTランジスタ15とNチャネルMOSTランジスタ16とからなるCMOS回路により、バッファ18が構成されている。

【0012】次に、上記した回路の動作を図2を参照して説明する。この場合、3つのクロック信号Sa、Sb、Scには、図2(a)、(b)、(c)に示すようなクロックスキューが存在しているとする。

【0013】まず、時刻t1までの期間Taにおいては、3つのクロック信号Sa、Sb、Scはすべてロウレベルであるから、NAND回路12の出力信号Sdはハイレベルとなり、NOR回路13の出力信号Seはハイレベルとなる。従って、PチャネルMOSTランジスタ15がオフし、NチャネルMOSTランジスタ16がオンすることにより、出力線17a、17b、17cからロウレベルの出力信号Saout、Sbout、Scoutが出力される。

【0014】そして、時刻t1（最も早いクロック信号Saがハイレベルに立上がる時点）から時刻t2（最も遅いクロック信号Scがハイレベルに立上がる時点）までの期間Tbにおいては、NAND回路12の出力信号Sdはハイレベルとなり、NOR回路13の出力信号Seはロウレベルとなる。従って、PチャネルMOSTランジスタ15及びNチャネルMOSTランジスタ16はいずれもオフ（ダイナミック期間）になり、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutは現在の状態、即ち、ロウレベルを維持する。

【0015】次に、時刻t2（最も遅いクロック信号Scがハイレベルに立上がる時点）から時刻t3（最も早いクロック信号Saがロウレベルに立下がる時点）までの期間Tcにおいては、NAND回路12の出力信号Sdはロウレベルとなり、NOR回路13の出力信号Seはロウレベルとなる。従って、PチャネルMOSTラン

ジスタ15がオンし、NチャネルMOSTランジスタ16がオフすることにより、出力線17a、17b、17cからハイレベルの出力信号Saout、Sbout、Scoutが出力される。

【0016】続いて、時刻t3（最も早いクロック信号Saがロウレベルに立下がる時点）から時刻t4（最も遅いクロック信号Scがロウレベルに立下がる時点）までの期間Tdにおいては、NAND回路12の出力信号Sdはハイレベルとなり、NOR回路13の出力信号Seはロウレベルとなる。従って、PチャネルMOSTランジスタ15及びNチャネルMOSTランジスタ16はいずれもオフ（ダイナミック期間）になり、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutは現在の状態、即ち、ハイレベルを維持する。

【0017】この後、時刻t4（最も遅いクロック信号Scがロウレベルに立下がる時点）より後の期間Teにおいては、NAND回路12の出力信号Sdはハイレベルとなり、NOR回路13の出力信号Seはハイレベルとなる。従って、PチャネルMOSTランジスタ15がオフし、NチャネルMOSTランジスタ16がオンすることにより、出力線17a、17b、17cからロウレベルの出力信号Saout、Sbout、Scoutが出力される。

【0018】即ち、上記したクロックスキュー防止回路においては、クロックスキューが生じた3つのクロック信号Sa、Sb、Scが入力されると、そのうちの最も遅いクロック信号Scに同期したクロック信号（同一周期のクロック信号）が、出力信号Saout、Sbout、Scoutとして出力線17a、17b、17cから出力されるように構成されている。

【0019】このような回路構成にすることによって、クロックスキューが生じた3つのクロック信号Sa、Sb、Scを入力して、クロックスキューがゼロの3つのクロック信号Saout、Sbout、Scoutを出力させることができる。しかも、この構成の場合、論理回路14によって、3つのクロック信号Sa、Sb、Scのうちの最も遅いクロック信号Scに同期したクロック信号Saout、Sbout、Scoutを出力することができる。出力されるクロック信号Saout、Sbout、Scoutは、論理回路によるバッファ18のスイッチングを行なうため図7のような波形のなまりが発生することはない。これにより、出力線17a、17b、17cに接続される次段の回路を例えばCMOS集積回路で構成した場合には、この回路に貫通電流が流れることを防止できると共に、次段回路の動作を早くすることができる。

【0020】また、上記実施例では、論理回路14の出力側にバッファ18を設けるように構成したので、出力線17a、17b、17cから出力されるクロック信号

Saout、Sbout、Scoutに必要とする駆動力（接続された負荷を駆動するための駆動力）を付与することができる。更に、上記実施例では、バッファ18を論理回路14で制御するため、PチャネルMOSトランジスタ15及びNチャネルMOSトランジスタ16を共にオンする期間をなくした。このため、バッファ18に貫通電流が流れることを防止でき、ひいては消費電力を低減することができる。

【0021】図3及び図4は本発明の第2の実施例を示すものであり、第1の実施例と異なる点を説明する。尚、第1の実施例と同一部分には、同一符号を付している。第2の実施例では、図3に示すように、NAND回路12の出力端子とPチャネルMOSトランジスタ15のゲートとの間に、インバータ19及びクロックドインバータ20を図示するように接続すると共に、NOR回路13の出力端子とNチャネルMOSトランジスタ16のゲートとの間に、インバータ21及びクロックドインバータ22を図示するように接続している。尚、クロックドインバータ20、22は、2個のPチャネルMOSトランジスタと2個のNチャネルMOSトランジスタ

【0022】また、PチャネルMOSトランジスタ15のゲートと、NチャネルMOSトランジスタ16のゲートとが接続されている。更に、これらゲート同士の接続点（以下、この点をBufferInと称す）と、PチャネルMOSトランジスタ15のドレインとNチャネルMOSトランジスタ16のドレインとが接続された接続点（即ち、3つの出力線17a、17b、17cの共通接続点）との間に、帰還インバータ23を図示するように接続されている。この構成の場合、上記したように接続された帰還インバータ23により本発明の帰還回路24が構成されている。

【0023】次に、上記した回路の動作を図4を参照して説明する。この場合、3つのクロック信号Sa、Sb、Scには、図4（a）、（b）、（c）に示すようなクロックスキューが存在しているとする。

【0024】まず、期間Ta⁺においては、NAND回路12の出力信号Sdがハイレベルとなり、インバータ19の出力信号Sfがロウレベルとなるから、クロックドインバータ20は閉じる（ハイインピーダンスとなる）。これと共に、NOR回路13の出力信号Seがハイレベルとなり、インバータ21の出力信号Sgがロウレベルとなるから、クロックドインバータ22がアクティブとなり、クロックドインバータ22はNOR回路13の出力信号Seを、即ち、ハイレベル信号をBufferInへ出力する。

【0025】このとき、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutの一つ前の値であるハイレベルが、帰還インバータ23を通過してロウレベルとなると共に、このロウレベル信号が上記

BufferInへ与えられる。このため、帰還インバータ23からのロウレベル信号とクロックドインバータ22からのハイレベル信号がけんかする。しかし、この場合、帰還インバータ23のトランジスタサイズを、クロックドインバータ20、22が共に閉じて（オフして）いるときにBufferInのレベルを保持できるだけの最小のサイズに設定している。従って、クロックドインバータ22からのハイレベル信号が勝ち、PチャネルMOSトランジスタ15がオフし、NチャネルMOSトランジスタ16がオンすることにより、ロウレベルの出力信号Saout、Sbout、Scoutが出力線17a、17b、17cから出力される。

【0026】続いて、期間Tb⁺においては、NAND回路12の出力信号Sdはハイレベルとなり、インバータ19の出力信号Sfがロウレベルとなるから、クロックドインバータ20は閉じる（ハイインピーダンスとなる）。これと共に、NOR回路13の出力信号Seがロウレベルとなり、インバータ21の出力信号Sgがハイレベルとなるから、クロックドインバータ22は閉じる（ハイインピーダンスとなる）。そして、この場合、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutの現在の値であるロウレベルが、帰還インバータ23を通過してハイレベルとなり、このハイレベル信号が上記BufferInへ与えられる。

【0027】従って、PチャネルMOSトランジスタ15がオフし、NチャネルMOSトランジスタ16がオンすることにより、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutは現在の状態、即ち、ロウレベルを維持するようになる。即ち、上記期間Tb⁺においては、帰還回路24の帰還インバータ23により、バッファ18から出力される出力信号Saout、Sbout、Scoutの状態が自己保持されるように構成されている。

【0028】次に、期間Tc⁺においては、NAND回路12の出力信号Sdはロウレベルとなり、インバータ19の出力信号Sfがハイレベルとなるから、クロックドインバータ20がアクティブとなる。これと共に、NOR回路13の出力信号Seはロウレベルとなり、インバータ21の出力信号Sgがハイレベルとなるから、クロックドインバータ22は閉じている（ハイインピーダンスとなっている）。そして、上記クロックドインバータ20がアクティブとなるから、該クロックドインバータ20はNAND回路12の出力信号Sdを、即ち、ロウレベル信号をBufferInへ出力する。

【0029】このとき、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutの現在の値であるロウレベルが、帰還インバータ23を通過してハイレベルとなると共に、このハイレベル信号が上記BufferInへ与えられる。このため、帰還インバータ23からのハイレベル信号とクロックドインバータ2

0からのロウレベル信号がけんかする。しかし、この場合、上述したように帰還インバータ23のトランジスタサイズがクロックドインバータ20、22が共に閉じて（オフして）いるときにBufferInのレベルを保持できるだけの最小のサイズに設定されているため、クロックドインバータ20からのロウレベル信号が勝つ。従って、PチャネルMOSTランジスタ15がオンし、NチャネルMOSTランジスタ16がオフすることにより、ハイレベルの出力信号Saout、Sbout、Scoutが出力線17a、17b、17cから出力されるようになる。

【0030】そして、期間Td⁻においては、NAND回路12の出力信号Sdはハイレベルとなり、インバータ19の出力信号Sfがロウレベルとなるから、クロックドインバータ20は閉じる（ハイインピーダンスとなる）。これと共に、NOR回路13の出力信号Seがロウレベルとなり、インバータ21の出力信号Sgがハイレベルとなるから、クロックドインバータ22は閉じる（ハイインピーダンスとなる）。そして、この場合、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutの現在の値であるハイレベルが、帰還インバータ23を通してロウレベルとなり、このロウレベル信号が上記BufferInへ与えられる。

【0031】従って、PチャネルMOSTランジスタ15がオンし、NチャネルMOSTランジスタ16がオフすることにより、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutは現在の状態、即ち、ハイレベルを維持する。即ち、上記期間Td⁻においては、帰還回路24の帰還インバータ23によりバッファ18から出力される出力信号Saout、Sbout、Scoutの状態が自己保持されるように構成されている。

【0032】続いて、期間Te⁻においては、NAND回路12の出力信号Sdはハイレベルとなり、インバータ19の出力信号Sfがロウレベルとなるから、クロックドインバータ20は閉じる（ハイインピーダンスとなる）。これと共に、NOR回路13の出力信号Seがハイレベルとなり、インバータ21の出力信号Sgがロウレベルとなるから、クロックドインバータ22がアクティブとなり、クロックドインバータ22はNOR回路13の出力信号Seを、即ち、ハイレベル信号をBufferInへ出力する。

【0033】このとき、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutの現在の値であるハイレベルが、帰還インバータ23を通してロウレベルとなると共に、このロウレベル信号が上記BufferInへ与えられる。このため、帰還インバータ23からのロウレベル信号とクロックドインバータ22からのハイレベル信号がけんかする。しかし、この場合、帰還インバータ23のトランジスタサイズが上述し

たように最小のサイズに設定されているため、クロックドインバータ22からのハイレベル信号が勝つ。これにより、PチャネルMOSTランジスタ15がオフし、NチャネルMOSTランジスタ16がオンすることにより、ロウレベルの出力信号Saout、Sbout、Scoutが出力線17a、17b、17cから出力されるようになる。

【0034】尚、上述した以外の第2の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、第2の実施例においても、第1の実施例とほぼ同じ作用効果を得ることができる。特に、第2の実施例では、帰還インバータ23、インバータ19、21、クロックドインバータ20、22を設け、期間Tb⁻及び期間Td⁻において、バッファ18から出力される出力信号Saout、Sbout、Scoutのレベル状態を帰還をかけて自己保持するように構成した。これによって、第1の実施例において存在したダイナミック期間（具体的には、期間Tb及び期間Td）をなくすことができ、ノイズ等に強くて安定動作する回路を実現することができる。

【0035】ちなみに、第1の実施例では、期間Tb及び期間Tdにおいて、PチャネルMOSTランジスタ15及びNチャネルMOSTランジスタ16が共にオフする状態となり、出力線17a、17b、17cの出力信号Saout、Sbout、Scoutがダイナミック保持される状態となる。この状態では、ノイズ等が出力線17a、17b、17cに作用することがあると、出力信号Saout、Sbout、Scoutのレベルが変動するおそれがあった。

【0036】尚、第1の実施例には、インバータ19、21、クロックドインバータ20、22が存在しなため、回路の動作は速いという長所がある。従って、ノイズ等の影響を受け難い場合、例えば上記ダイナミック期間（期間Tb及び期間Td）がかなり短い時間である場合（即ち、クロック信号Sa、Sb、Scのクロックスキューが小さい場合には、第1の実施例の回路構成で十分である。これに対して、クロックスキューが大きくなって、ダイナミック期間が長くなる場合には、ノイズ等の影響を受け易くなるので、第2の実施例のように構成することが好ましい。

【0037】また、上記各実施例では、3つのクロック信号Sa、Sb、Scを入力する構成としたが、これに限られるものではなく、4つ以上のクロック信号を入力するように構成しても良く、その場合には、4入力以上のNAND回路及び4入力以上のNOR回路を用いれば良い。ここで、NAND回路及びNOR回路の入力数が多くなる場合には、設計上妥当な入力数に固定し、複数のクロック信号を上記固定した入力数毎に分けて同期をとると共に、これら分けて得られた出力信号の同期を再びとるように構成しても良い。以下、このような構成の

一例として、図5に示す第3の実施例について説明する。

【0038】この第3の実施例では、例えば100個のクロック信号を入力すると共に、これら100個のクロック信号を例えば10個ずつ10組に分けて信号処理しながら、同一周期の100個のクロック信号を出力するように構成している。具体的には、まず、100個のクロック信号S001～S100を10個ずつ10組に分け、この分けたうちの最初の10個のクロック信号S001～S010を第1のクロックスキュー防止回路25-1に入力させ、次の10個のクロック信号S011～S020を第2のクロックスキュー防止回路25-2に入力させ、……、最後の10個のクロック信号S091～S100を第10のクロックスキュー防止回路25-10に入力させている。

【0039】上記10個のクロックスキュー防止回路25-1～25-10は、すべて同じ回路構成であり、第1の実施例または第2の実施例のクロックスキュー防止回路において、NAND回路12及びNOR回路13の代わりに10入力のNAND回路及び10入力のNOR回路を設け、更に出力線を1つにした回路である。

【0040】そして、第1のクロックスキュー防止回路25-1からの出力信号Smot1と、第2のクロックスキュー防止回路25-2からの出力信号Smot2と、……、第10のクロックスキュー防止回路25-10からの出力信号Smot10とを、第11のクロックスキュー防止回路26-1に入力させている。また、第1のクロックスキュー防止回路25-1からの出力信号Smot1と、第2のクロックスキュー防止回路25-2からの出力信号Smot2と、……、第10のクロックスキュー防止回路25-10からの出力信号Smot10とを、第12のクロックスキュー防止回路26-2に入力させている。

【0041】以下、同様にして、第1のクロックスキュー防止回路25-1からの出力信号Smot1～第10のクロックスキュー防止回路25-10からの出力信号Smot10を、第13のクロックスキュー防止回路26-3、……、第20のクロックスキュー防止回路26-10に入力させている。

【0042】ここで、上記10個のクロックスキュー防止回路26-1～26-10は、すべて同じ回路構成であり、第1の実施例または第2の実施例のクロックスキュー防止回路において、NAND回路12及びNOR回路13の代わりに10入力のNAND回路及び10入力のNOR回路を設け、更に出力線を10個にした回路である。

【0043】これにより、10個のクロックスキュー防止回路26-1～26-10から100個のクロック信号Sout001～Sout100が出力されると共に、これら100個のクロック信号Sout001～Sout100は同一周期のクロック信号となる。この場合、出力されるクロック信号Sout001～Sout100は、入力された100個のクロック信号S001～S100のうちの最も遅いクロック信号に同期し、かつ、クロックスキューがゼロのクロック信号となっている。

【0044】上記第3の実施例では、100個のクロック信号を入力する構成に適用したが、99個以下或いは101個以上のクロック信号を入力する構成に適用しても良い。また、上記第3の実施例では、クロック信号を10組に分ける構成に適用したが、9組以下或いは11組以上に分ける構成に適用しても良い。更に、上記第3の実施例では、分けたクロック信号を2段階で同期をとるように構成したが、3段階以上で同期をとるように構成しても良い。

【0045】

【発明の効果】本発明は、以上の説明から明らかなように、複数のクロック信号を入力して、そのうちの最も遅いクロック信号に同期したクロック信号を出力する論理回路を備えるように構成したので、クロックスキューが生じた複数のクロック信号を入力してクロックスキューがゼロのクロック信号を出力させることが可能でありながら、出力されるクロック信号に波形のなまりが発生することを防止できるという優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す電気回路図

【図2】タイムチャート

【図3】本発明の第2の実施例を示す図1相当図

【図4】図2相当図

【図5】本発明の第3の実施例を示すブロック図

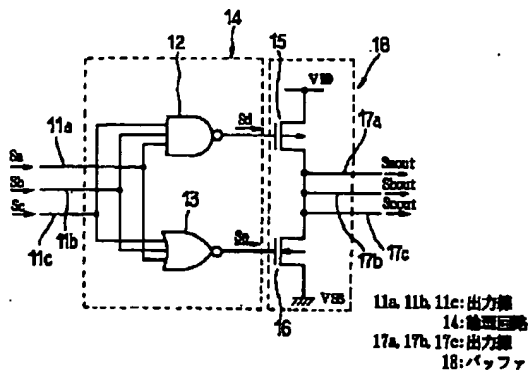
【図6】従来構成を示す図1相当図

【図7】図2相当図

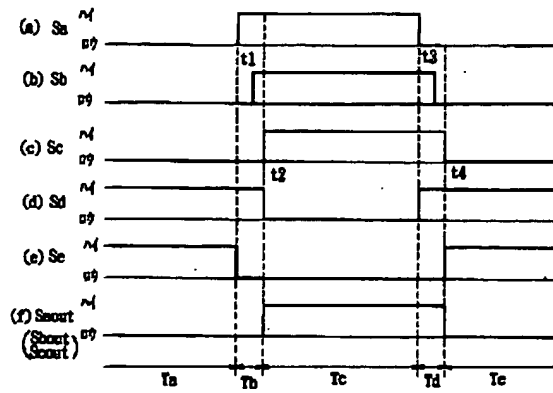
【符号の説明】

11a、11b、11cは入力線、12はNAND回路、13はNOR回路、14は論理回路、15はPチャネルMOSトランジスタ、16はNチャネルMOSトランジスタ、17a、17b、17cは出力線、18はバッファ、19はインバータ、20はクロックドインバータ、21はインバータ、22はクロックドインバータ、23は帰還インバータ、24は帰還回路、25-1～25-10はクロックスキュー防止回路、26-1～26-10はクロックスキュー防止回路を示す。

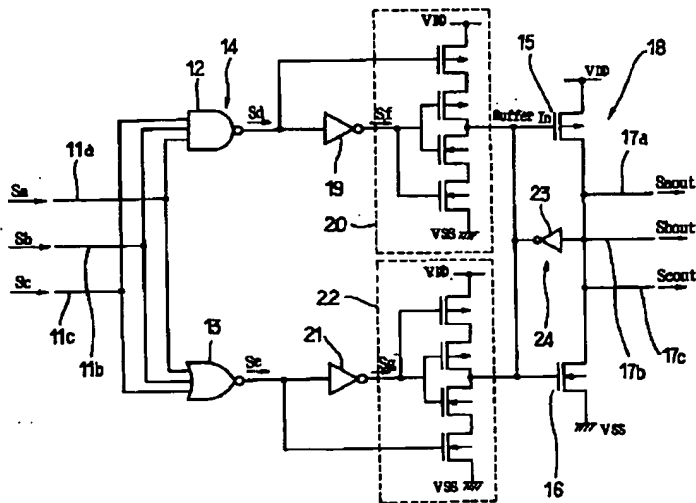
【図1】



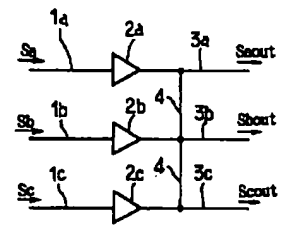
【図2】



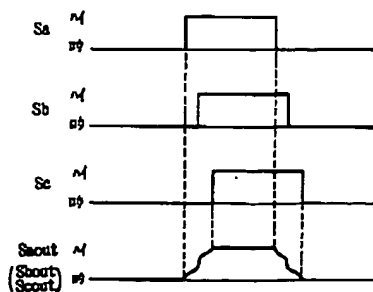
【図3】



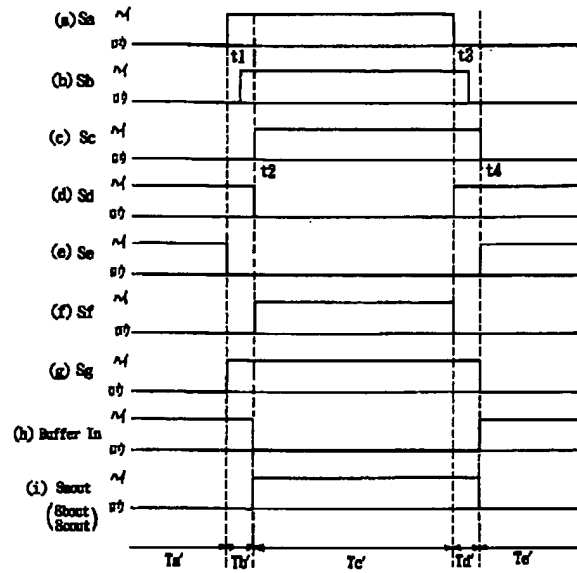
【図6】



【図7】



【図4】



【図5】

